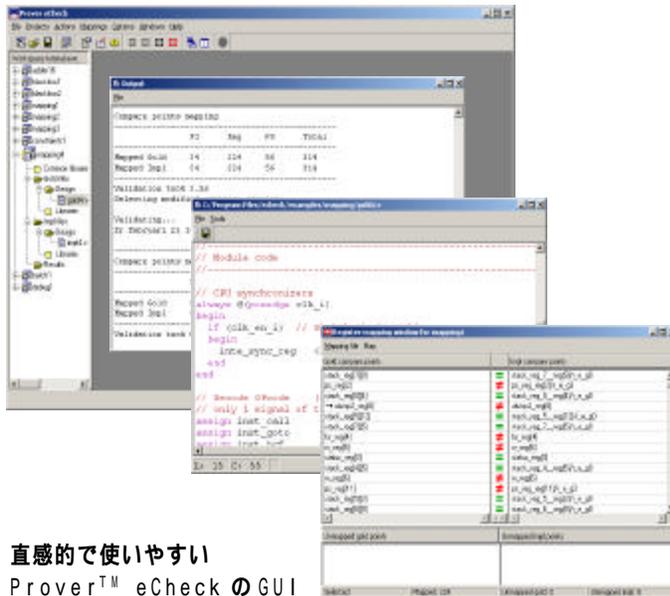


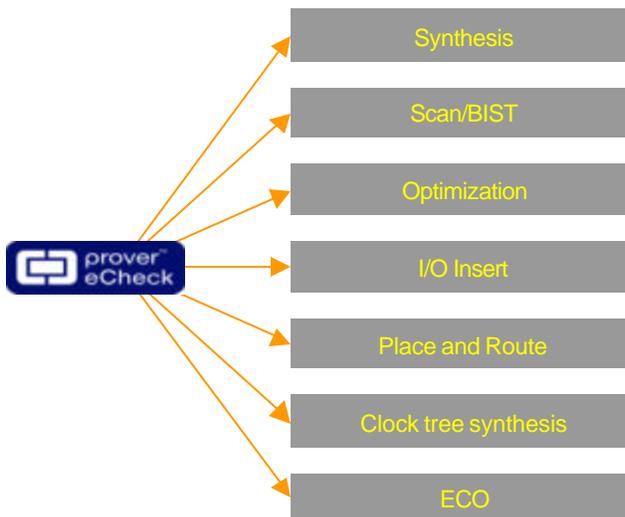
先進の等価性チェックで設計シミュレーションの負担から開放



Key Product Features

- 設計工程全体を通して検証、デバッグの時間を大いに短縮します。
- よく考えられた少ない設定で、判りやすく直ぐに使用開始ができます。
- 直感的で判りやすく使いやすい GUI
- 数百万ゲートの処理も容易です。
- シンセシス不能の部分（例：メモリー、アナログ..）はブラックボックス化して等価性チェックから外せます。
- 階層や名前の変更があっても、比較ポイントは自動的に対応付けされます。もちろん指定することも可能です。
- Scan や BIST 挿入の場合も、挿入されたロジックをゴールデン・モデルとの比較から外す制約付加が可能です。
- 各セッションをプロジェクトとして保存して、共通使用や使い回しが可能です。
- プラットフォーム：
Windows, Linux, Unix

設計工程全体をサポート



Strong HDL Support

フラット、階層、混合を許容し、使用されているほとんどの言語をサポート：

- VHDL (VHDL'87 and VHDL'93)
- Verilog, including UDPs (Verilog'95 and Verilog'2001)
- EDIF
- Liberty (Synopsys library format)

© Prover Technology 2003. All rights reserved

Prover社のユーザ：Intel社、ST社、Airbus社、SAAB社、Xilinx社、DaimlerChrysler社、Ericsson社、VOLVO社など
 ＊ Intel社とProver社はDAC2002にて、Prover社の等価性検証コアの適用と評価について論文発表しました。
 この論文については下記にお問い合わせ下さい。