



SynaptiCAD WaveFormer Pro

- ✓ タイミングを確認しながら HDL 設計できたらと、いったことはありませんか？
- ✓ 小さな設計単位のテストにテストベンチの用意は大変面倒ではありませんか？

**このイライラすべて WaveFormer の
インタラクティブ HDL シミュレーションで解決！**

- ✓ **Interactive HDL Simulator**
- ✓ **Timing Diagram Editor**
- ✓ **VHDL, Verilog, SPICE Stimulus Generator**

インタラクティブ HDL シミュレーションは デジタル設計を一新させます！

WaveFormer で革新的な設計手法インクリメンタル設計解析を。。。。

WaveFormer Pro はインタラクティブ HDL シミュレーションを実現した初めての EDA ツールです。設計情報(論理式、タイミング情報、コンポーネントモデル)や入力信号(波形)の変更は自動的に再シミュレーションを引き起こし、変更に対応する新しい結果を反映させます。設計の変更が機能やパフォーマンスに与える影響を即座に知ることができ、設計の効率化や新しいアイデアの検証に大きく寄与します。従来のシミュレータはシミュレーション結果を得るために、回路図や HDL ソースなどのデザインファイル、さらにテストベクタやテストベンチなどのテスト情報(Test Stimuli)もが必要でした。しかし、WaveFormer のインタラクティブ HDL シミュレーション機能を使えば、この面倒なシミュレーションの度に必要なセットの準備は必要がなくなります。WaveFormer はマウス操作で入力された波形や論理式など、入力された設計情報から Verilog モデルを自動生成します。新しい変更が加えられる(インクリメント)度にモデルを更新し、内在する Verilog シミュレーション・コアに渡して再シミュレーションが自動実行されます。この、WaveFormer の実現するインクリメンタル設計手法により、モジュールの完全なテストが効率的になされ、ミスを早い段階で見つけることができます。全体のシステムは、これらのテスト済みのモジュールで構築することができ、結果的に開発期間を大いに短縮することが可能です。

操作は簡単：事前の HDL トレーニングは必要ありません！
ふつう、新しいシミュレータを使い始めるには、それに対しての習熟が必要でした。ゲートレベル・シミュレータさえテストベクタのフォーマットを知らなければならず、HDL シミュレータにいたっては HDL 言語の習熟という使い始めるのに大きな準備が必要でした。

WaveFormer を使ったシミュレーションでは、デザインは単純なブール代数式で入力することができ、テストベクタもマウス・クリックでのグラフィカル入力が基本なので、Verilog-HDL のプログラミング知識を前提としません。WaveFormer は、入力された論理式やグラフィカル入力と、これらを変換した HDL コードの間を行ったり来たりできるので、HDL 学習のための優れたトレーニングツールにもなります。WaveFormer は HDL コードの直接入力も可能なので、その結果を即座に知ることができ、HDL 言語をその動作から知ることができます。

直感的なロジック・ウィザードとグラフィカルなスティミュラス I/F を使い素早く設計入力

従来の HDL シミュレータを使っただけの設計における主な不満は、以下の3点でした。

- (1) コーディング上の単純なミスにより、シンタックス・エラーを起こしやすい。
- (2) テスト・スティミュラスのコーディングは時間がかかり面倒。
- (3) タイミング・チャートとの相関は、あるまとまった段階でのシミュレーションまで確認できない。

WaveFormer は、これらの問題点を完全に取り除きました。

- (1) WaveFormer は、マウス Point-and-Click を基本とする論理式エディタにより、VHDL、Verilog、PAL 言語などと共通の論理式インターフェイスにより、一般的な組み合わせ回路、ラッチ、レジスタなどの素早いモデリングが可能です。
- (2) WaveFormer のタイミング・ダイアグラム・エディタにより、テスト・スティミュラスがグラフィカルに入力できます。
- (3) 設計の途中、入力の度に即座に再シミュレーションされるので、タイミングチャートとの相関を常にチェックできます。

WaveFormer の自動再シミュレーション機能と一体になったこれら3つの機能は、快適で、直感的な開発環境を設計者に提供します。

最小/最大タイミング解析で完全なシステムの タイミング・コントロール

WaveFormer は最小、最大、ワーストのタイミング・シミュレーションを実行でき、タイミングのフルコントロールを提供します。全範囲、部分範囲のオプション設定もできます。遅延、セットアップ、ホールド情報は、フリップフロップなどのシステムメモリ要素に対して、全範囲、部分的範囲に設定可能です。タイミング情報は、定数もしくは数式表現ができるタイミングパラメータ変数を使い指定できます。

完全な HDL モデルとして出力

WaveFormer は、入力された情報から完全な Verilog-HDL モデルを生成します。この生成されたモデルは SynaptiCAD 社の VeiWell や他社の既存の Verilog シミュレータ、論理合成ツールなどによってシミュレーションと論理合成が可能です。これは、全く変更せずに、もしくはわずかなツール固有に依存する最小の変更で可能です。このことで、デザイン情報を再入力することなく、開発段階を次のステップへと進めることができます。

WaveFormer は効率のよい RTL 設計ツールとして機能します。

WaveFormer を使い設計をより スマートに！

どのように WaveFormer を使い設計するのか？

相乗効果を発揮する3つのツールが、WaveFormer には組込まれています。

- (1) タイミング・ダイアグラム・エディタ
- (2) インタラクティブ Verilog-HDL シミュレータ
- (3) スティミュラスジェネレータ - Verilog, VHDL, Spice,....

タイミング・ダイアグラム・エディタとブール代数シミュレーションとを用いて、システムの要求するタイミング・ダイアグラムを作成することで、設計サイクルを開始できます。Logic Wizard により、基本的な機能を検証するための回路図や HDL モデルを作成する手間を省いて、デジタル回路を素早くデザインすることができます。タイミング・ダイアグラム・エディタ機能は、タイミングのクリティカル・パスを計算して、タイミング要求が満たされるかを自動的にチェックします。作成したデザインの統合やシステム機能の最終チェックのために、従来型の HDL シミュレータやゲートレベル・シミュレータを使うときには、スティミュラス・ジェネレータで設計データからテスト・スティミュラスを生成できます。作成したシステムのドキュメント化や報告書を作成する段階では、デジタル設計の中核となるタイミング・ダイアグラムは質の高いドキュメントとして既に存在しています。電子ファイルとしても紙への印刷出力としても完璧です。なわち、必要な作業の大半はすでに終わっていることとなります。デザイン・レビューにも威力を発揮します。

なぜ WaveFormer Pro を利用すると、開発が
素早く行えるのか？

既存のゲートレベル・シミュレータや HDL シミュレータを利用している設計者は、これらのツールに WaveFormer を合わせて利用することにより、2つの大変に大きな利点を享受できます。



- (1) 回路図や HDL コードの入力なしでのモデル化 - テストベンチも不要

設計は通常、論理式、遅延経路、タイミング要求などを元に回路図や HDL コードに落とされていきます。WaveFormer も同じレベルの抽象度(論理式、遅延経路、タイミング要求)の回路を扱います。このことは、WaveFormer を使えば目的とするデザインに対する基本要素を、回路図や HDL モデルを作るらずに、素早く入力できれことを意味します。

- (2) WaveFormer はインタラクティブ/インクリメンタル

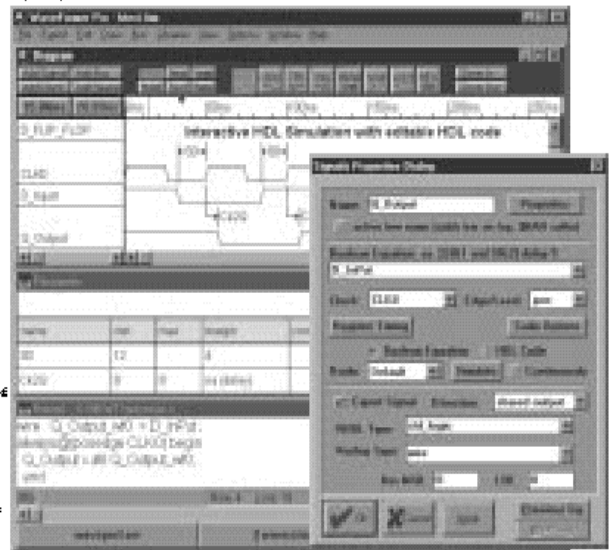
ほとんどの HDL ツールと違って、WaveFormer は完全にインタラクティブで、デザインに変更を加える(インクリメンタル)度に、即座に変更の影響をフィードバックします。

WaveFormer は素早い設計入力、素早い機能とパフォーマンスのシミュレーション・フィードバックの2つの機能が合わさることで、設計の特に初期過程では多大の活躍をします。WaveFormer により完成したモジュールをまとめ上げて従来型のツールに渡す方法が推奨されます。また繰り返しの多い高度なデジタル回路の設計や、設計のトレードオフを検証するような場合には特に理想的なツールになります。

主な特徴

- ✓ スタティック・タイミングアナライザを内蔵
- ✓ 最小、最大のクリティカルパスをビジュアル表示
- ✓ 最小、最大タイミング機能付き、インタラクティブ HDL シミュレータ SIF3 = (SIG0 and SIG1) delay 5ns or SIG2 delay D0
- ✓ HDL エディット時の優れたレポートウィンドウ
- ✓ テンポラル式シミュレータ
SIG3 = (H=10ns L=20ns) * 4
- ✓ スティミュラス生成機能
VHDL/Verilog/Abel/Minc/ViewLogic/Mentor /Aldec-Xilinx/SPICE/Chonology/TDML など
- ✓ スケーラブル・メタファイル WMF、EPS へのイメージ生成
- ✓ フレームメーカー MIF イメージの生成
- ✓ 共通遅延の自動除去機能
- ✓ シミュレータ、ロジックアナライザへのリンク
VCD ファイルの読み込み、HP-logic Analyzer からの入力への出力
- ✓ スプレッドシート形式のテストベクタの読み込みと生成
- ✓ 豊富なデータブック・ドキュメント表現のための機能
 1. 上付文字、下付文字、ボールド、イタリック字体の入力が可能
 2. パラメータ名として t_{pd} という形式もサポート
 3. 信号名にアクティブ・ローを示す上付バー(例: WE)をサポート
 4. 信号のエッジ、テキスト文字のためのグリッド線とスナップ
- ✓ VHDL と Verilog のパス形式のサポート
- ✓ 副次的なクロックの元クロックからの生成
- ✓ カウンタ、シフト波形の信号スタート入力をインデックス式でサポート
- ✓ すべてのレベルでの階層モデリング - Verilog 表現の全てを使用可能
ビヘイビア、RTL(オペレータ 33 種)、ゲート(定義済み n 入力 論理ゲート 14 種)、スイッチ(トランジスタモデル 9 種)

```
Linescale 1ps / 1ps
Module testbed(SIG0,CLK0,SIG1):
output SIG0:
not SIG0:
output CLK0:
reg CLK0:
output SIG1:
not SIG1:
initial
$set_n
//SIG0L SIG0
SIG0 = 1'b1:
#30000
SIG0 = 1'b0:
#40000
SIG0 = 1'b1:
#90000
SIG0 = 1'b0:
#46000
SIG0 = 1'b1:
#80000
.
end
integer
CLK0_sweep_time:
integer
CLK0_period:
CLK0_duty,CLK0_of:
float:
integer CLK0_di:
CLK0_df:
initial
$set_n
//CLK0 CLK0
CLK0_sweep_time =
```



WaveFormer は HDL シミュレーションの「かたち」を変
えることができました！

その秘密を知りたいと思いませんか？

WaveFormer Pro は設計者の意図を読み、HDL コードを適切に生成し
ます。是非、ご自身で体験してみてください。体験版ソフトウェアは、
<http://www.syncad.com> よりダウンロードすることができます。
インタラクティブ・シミュレーションだけではなく通常
の Verilog シミュレーションが可能な上位互換
製品 VeriLogger Pro と TestBencher Pro があります。
お問い合わせ下さい。

InterLink (有) インターリンク

231-0023 横浜市中区山下町 252 グランベル横浜 9F

TEL: 045-663-5940 / FAX: 045-663-5945

e-mail: ilink_sales@ilink.co.jp

<http://www.ilink.co.jp>